



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05175274 A**(43) Date of publication of application: **13.07.93**

(51) Int. Cl.

H01L 21/60
G02F 1/1345
H01L 23/50

(21) Application number: **03344321**(22) Date of filing: **26.12.91**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **MURATA HIDETO
ISHIGAME TAKESHI**(54) **CHIP COMPONENT**

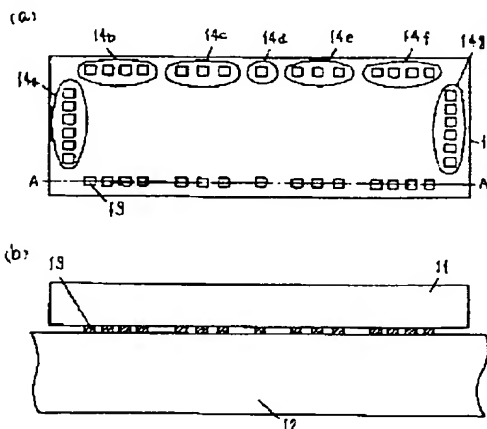
intervals.

(57) Abstract:

COPYRIGHT: (C)1993,JPO&Japio

PURPOSE: To suppress the effect of stress due to thermal expansion in a technique for mounting the chip component in a face down manner, in particular in the case where the chip component having multiterminals, such as an IC for liquid crystal drive use, is directly mounted on a substrate, or to give an operation margin to the IC so as to prevent a trouble from being caused in the operation of the IC even if the effect of the stress is exerted.

CONSTITUTION: An LSI chip 11 arranged with metal protrusions 13 is mounted in a face down manner on a glass substrate 12. 14a to 14g are respectively terminals having the same function and in the terminals (the 14g and the like) which are apart from the center part of an IC, the number of terminals having the same function is increased and the arrangement density of the terminals is made high. In the terminals (the 14c and the like) close to the center part, the number of terminals having the same function is decreased and the terminals are provided in an arrangement with sufficient



(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-175274

(43)公開日 平成5年(1993)7月13日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1 Q	6918-4M		
G 0 2 F 1/1345		9018-2K		
H 0 1 L 23/50	X	9272-4M		

審査請求 未請求 請求項の数 2 (全 3 頁)

(21)出願番号 特願平3-344321

(22)出願日 平成3年(1991)12月26日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 村田 英人

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 石亀 剛

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

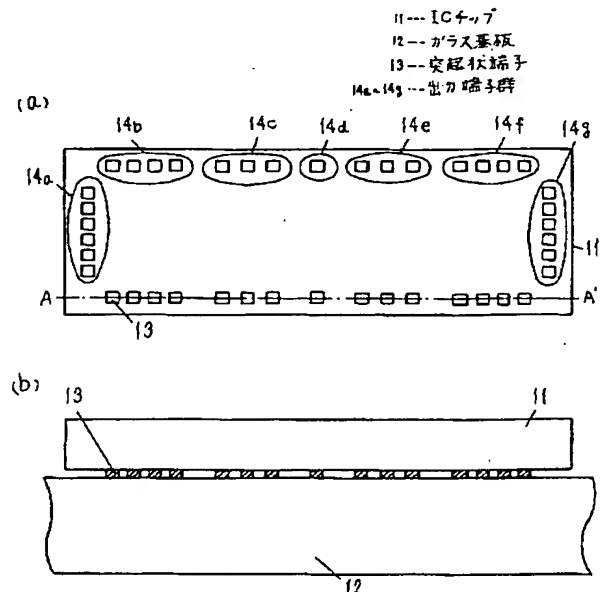
(74)代理人 弁理士 小鍛治 明 (外 2 名)

(54)【発明の名称】 チップ部品

(57)【要約】

【目的】 本発明はチップ部品をフェースダウンで実装した工法、とりわけ液晶駆動用のIC等の多端子を有するチップ部品を基板に直接実装する場合に、熱膨張による応力の影響を受けにくく、あるいは応力の影響を受けなくてもICの動作に支障をきたさない様に動作余裕を持たせることを目的とする。

【構成】 ガラス基板12上には、金属突起13を配置したLSIチップ11をフェースダウンで実装している。14aからgはそれぞれ同一機能の端子であり、ICの中心部から離れた端子(14g等)は、同一機能の端子数を多くし、かつ配置する密度を高くしている。中心部近くの端子(14c等)は同一機能の端子数を減らし、十分間隔を取った配置にしている。



【特許請求の範囲】

【請求項1】多端子を有するチップ部品を、該チップ部品のそれぞれの端子に対応する端子を有する基板上に直接実装するにおいて、

前記チップ部品の端子および、前記基板の端子は、前記チップ部品の端子の配置される面における端子の位置により、端子密度が異なることを特徴とするチップ部品。

【請求項2】端子の配置される面における端子の位置により、同一機能の端子数が異なることを特長とする請求項1記載のチップ部品。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明はチップ部品をフェースダウンで実装した工法、とりわけ液晶駆動用のICチップをガラス基板上に直接実装する工法（COG工法）等によって実装されるチップ部品に関するものである。

【0002】

【従来の技術】一般にマトリクス型の表示デバイスを駆動する場合、マトリクス配線それぞれに駆動用の信号を供給する必要がある。特に、液晶パネルのようにガラス基板を用いるデバイスにおいては、IC等のチップ部品を直接ガラス基板上に実装するCOG工法が一般的になってきた。この方式には、ICチップをフェースアップでガラス基板に搭載した後、ICチップの端子とガラス基板上の端子を金属線で接続する方法や、ICチップの端子上に金属突起を形成した後、導電性接着剤を介し、フェースダウンでガラス基板上の端子と接続する方法がある。現在では、実装面積が小さくできることからCOG実装方式としては、後者の方法が多く用いられるようになってきた。

【0003】図2はこの工法でガラス基板上にICチップを実装した部分の断面図である。11はICチップ、12はガラス基板、21はICチップに形成された金属突起（バンプ）である。22は導電性接着剤、23はICチップを封止する保護樹脂である。液晶パネルの場合は、液晶画面以外の周辺部品・回路等は、小型化が要望されており、同時にパネルの画素密度はさらに高密度のものが要望されている。従って、パネルを駆動するICチップ1個当たりの端子数はより多くなり、液晶画面周辺の額縁状の領域が小さくなる傾向にある。よって、ICチップの形状は、より縦横比の大きな細長い形状へと移行しつつある。

【0004】また、画素数を増やす事でICチップに入力されるクロック等の信号周波数をより高くする必要がある。これはガラス基板上の端子に、直接ICチップの端子を接続した場合、従来のCOG工法では構成材料の熱膨張係数の違いなどから、接続抵抗が不安定になる要素をもっているため、十分な接続信頼性を確保することが必要となってきている。

【0005】

【発明が解決しようとする課題】上述したようにICチップへ供給する信号が高周波になればなるほど、信号線の抵抗成分は、信号伝達を阻害する大きな要因となる。しかも、ICチップがより縦横比の大きな細長い形状であればあるほど、ICチップの端子と、基板上の端子との接続抵抗が温度、湿度の影響を受け易くなる。それは、ICチップ（シリコンチップ）と、ICチップを実装する基板（液晶パネルの場合はガラス基板）の熱膨張係数の違い、またはICチップと、ICチップを固定する樹脂の熱膨張係数の違いによる応力の影響を受け易くなるためである。

【0006】

【課題を解決するための手段】本発明は上記課題を解決するため、ICチップまたはその他のチップ部品の端子の位置を等間隔に配置するのではなく、接続抵抗が安定するように配置しようとするものである。チップ部品の中心部からの距離が離れれば、それだけ熱膨張等による影響を受け易く、逆にチップ部品の中心部に近い端子は熱膨張による影響を受けにくい。従って、熱膨張の影響を受け易い位置にある端子は、同一端子を複数設ける等で、端子密度（単位面積当たりの端子数）を増やし、端子の接着力を大きくする事で熱膨張による応力の影響を受けにくくすることができる。

【0007】また、たとえ応力の影響を受け、端子1個当たりの接続抵抗が増加しても、同一端子を複数設けていることから、トータルとしての接続抵抗の増加を抑えることができ、動作余裕を保証することができる。

【0008】

【作用】本発明は上記した方法により、接続抵抗が熱膨張による応力の影響を受けにくく、あるいは応力の影響を受けても、ICチップの動作に支障をきたさない動作余裕が確保できる。

【0009】

【実施例】図1（a）は本発明の一実施例におけるマトリクス型液晶駆動用のLSIのパターン面を示したものである。また同図（b）は前記LSIをCOG実装工法を用いてガラス基板上に実装した状態におけるA-A'の断面図である。11はLSIチップ、12はLSIチップが実装されたガラス基板、13はLSIの突起状端子である。14a～14gは入力端子群であり、機能別にa～gに区分している。14aには6つの端子を設けており、この6端子は電気的には導通している同機能の端子である。同様に14bには4つの端子を設けており、4つの端子は同機能である。14c、14e、14f、14gの端子群もそれぞれ同じ機能の端子を有している。14dは1端子のみを有する。14a～14gのうち、14aおよび14gはIC中心部から最も離れた場所に配置されているため、同一機能の端子を6端子ずつ設け、かつ端子間距離を小さくし端子密度を高めている。14dについては、IC中心部に最も近い端子であ

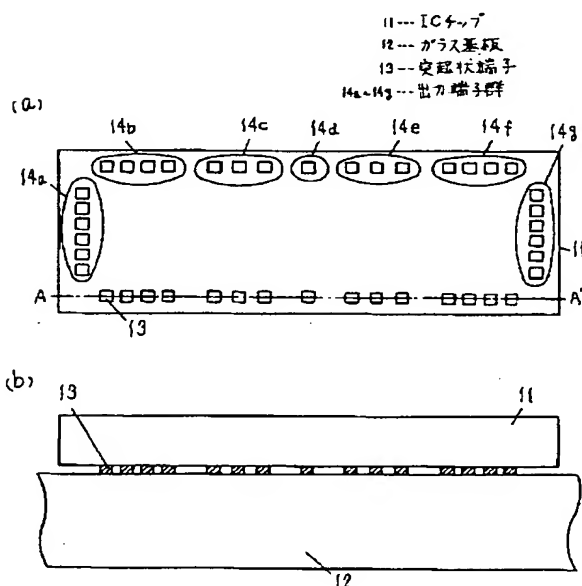
るため、端子は1つのみ設けてある。14b, 14cについては、14aと14dの中間に位置するので、端子数を3または4端子とし、端子間距離を14aより大きくしている。14e, 14fも同様である。

【0010】すなわち、IC中心付近の端子は、端子密度を低くし同一機能の端子数を少なくし、IC中心部から離れた端子は、端子密度を上げるとともに同一機能の端子数を増やした配置にしている。

【0011】

【発明の効果】本発明により、LSI等の多端子を有するチップ部品を基板に直接実装する場合に、熱膨張による応力の影響を受けにくく、あるいは応力の影響を受けても動作に支障をきたさない様に動作余裕を持たせることができる。なお、今回の実施例は液晶パネルについて説明したが、PCB等にも適用できる事は言うまでもない。

【図1】



【図面の簡単な説明】

【図1】(a) 本発明の一実施例におけるマトリクス型液晶駆動用のICチップのパターン面を示す平面図

(b) 前記ICチップをCOG実装工法を用いてガラス基板上に実装した状態におけるA-A'の断面図

【図2】ICチップをフェースダウンでガラス基板上に実装した場合のICチップの断面図

【符号の説明】

- 11 ICチップ
- 12 ガラス基板
- 13 突起状端子
- 14 出力端子群
- 15 a～d 入力端子群
- 21 金属突起（バンプ）
- 22 導電性接着剤
- 23 保護樹脂

【図2】

